

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :  
Satoru TANIGAWA :  
Serial No. NEW : **Attn: APPLICATION BRANCH**  
Filed January 27, 2004 : Attorney Docket No. 2004\_0110A

VIDEO SIGNAL PROCESSOR AND VIDEO  
SIGNAL PROCESSING METHOD

THE COMMISSIONER IS AUTHORIZED  
TO CHARGE ANY DEFICIENCY IN THE  
FEES FOR THIS PAPER TO DEPOSIT  
ACCOUNT NO. 23-0975

**CLAIM OF PRIORITY UNDER 35 USC 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

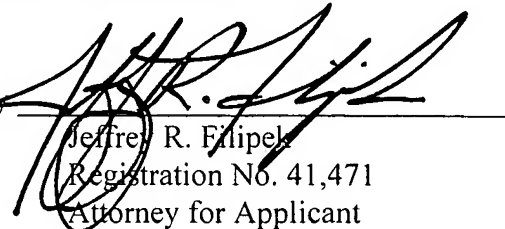
Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2003-017812, filed January 27, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Satoru TANIGAWA

By

  
Jeffrey R. Filipek  
Registration No. 41,471  
Attorney for Applicant

JRF/kjf  
Washington, D.C. 20006-1021  
Telephone (202) 721-8200  
Facsimile (202) 721-8250  
January 27, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    1 月 2 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 1 7 8 1 2  
Application Number:

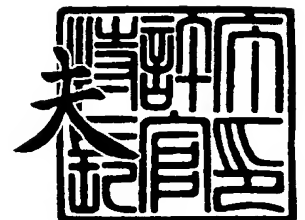
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 1 7 8 1 2 ]

出      願      人                      松下電器産業株式会社  
Applicant(s):

2 0 0 3 年    9 月    4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 7 2 5 1 2

【書類名】 特許願

【整理番号】 2037840213

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/06

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社  
社内

【氏名】 谷川 悟

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(6395)3251

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像信号処理装置

【特許請求の範囲】

【請求項 1】 映像信号データを第 1 のクロックにより書き込み、該書き込まれた映像信号データを第 2 のクロックにより読み出すメモリと、

上記第 2 のクロックを  $1/N$  ( $N$  は 2 以上の整数) クロックずつ遅延させる  $N$  段の遅延素子と、

上記  $N$  段の遅延素子により  $1/N$  クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、

上記位相情報に基づいて補間係数を制御する補間係数制御手段と、

上記メモリから上記第 2 のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えた、

ことを特徴とする映像信号処理装置。

【請求項 2】 映像信号データを第 1 のクロックにより書き込み、該書き込まれた映像信号データを第 2 のクロックにより読み出すメモリと、

上記第 2 のクロックを  $1/N$  ( $N$  は 2 以上の整数) クロックずつ遅延させる  $N$  段の遅延素子と、

上記  $N$  段の遅延素子により  $1/N$  クロックずつ遅延されたクロックの位相と、上記第 2 のクロックの 1 クロック後の位相とを比較する位相比較手段と、

上記位相比較手段によって検出された位相差を入力とし、上記  $N$  段の遅延素子の遅延値を制御する制御手段と、

上記  $N$  段の遅延素子により  $1/N$  クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、

上記位相情報に基づいて補間係数を制御する補間係数制御手段と、

上記メモリから上記第 2 のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えた、

ことを特徴とする映像信号処理装置。

【請求項 3】 映像信号データを第 1 のクロックにより書き込み、該書き込まれた映像信号データを該第 1 のクロックにより読み出すメモリと、

上記第 1 のクロックを  $1/N$  ( $N$  は 2 以上の整数) クロックずつ遅延させる  $N$  段の遅延素子と、

上記  $N$  段の遅延素子により  $1/N$  クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、

上記位相情報に基づいて補間係数を制御する補間係数制御手段と、

上記メモリから上記第 1 のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えた、

ことを特徴とする映像信号処理装置。

【請求項 4】 映像信号データを第 1 のクロックにより書き込み、該書き込まれた映像信号データを該第 1 のクロックにより読み出すメモリと、

上記第 1 のクロックを  $1/N$  ( $N$  は 2 以上の整数) クロックずつ遅延させる  $N$  段の遅延素子と、

上記  $N$  段の遅延素子により  $1/N$  クロックずつ遅延されたクロックの位相と、上記第 1 のクロックの 1 クロック後の位相とを比較する位相比較手段と、

上記位相比較手段によって検出された位相差を入力とし、上記  $N$  段の遅延素子の遅延値を制御する制御手段と、

上記  $N$  段の遅延素子により  $1/N$  クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、

上記位相情報に基づいて補間係数を制御する補間係数制御手段と、

上記メモリから上記第 1 のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えた、

ことを特徴とする映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は第1のクロック処理の映像信号データを第2のクロック処理の映像信号データに変換する際に用いる映像信号処理装置に関するものである。

#### 【0002】

##### 【従来の技術】

近年、テレビジョン受像機の多機能化、高画質化に伴い、デジタル映像信号処理技術が多用されてきており、映像信号においてクロックの乗せ替え可能な映像信号処理装置が重要視されてきている。

#### 【0003】

以下、従来の映像信号処理装置について図8を用いて説明する。図8は従来の映像信号処理装置におけるブロック図を示すものであり、1/4クロックずつ位相シフトしたクロックを生成する場合の回路図である。

#### 【0004】

図8において、1はクロック入力端子であり、同期させたいクロックと同じ周波数のクロックを入力する。2～5はほぼ同一の遅延素子であり、クロック入力端子1に輸入されたクロックを1/4クロックずつ位相シフトさせる。6は位相比較器であり、遅延素子5から出力されるクロック（1クロック遅延クロック）と、クロック入力端子1に輸入されたクロックの1クロック後のクロックを比較し、位相差を検出する。7は制御器であり、位相比較器6にて検出された位相差に基づいて各遅延素子2～5の遅延値を制御する。8は基準信号入力端子であり、基準信号を入力する。9は選択器であり、基準信号に最も同期するクロックを選択する。10は同期クロック出力端子であり、選択器9で選択されたクロック（同期クロック）を出力する。

#### 【0005】

以上のように構成された従来の映像信号処理装置の動作について説明する。

まず、同期させたいクロックと同じ周波数のクロックをクロック入力端子1に輸入する。入力されたクロックは、遅延素子2～5により遅延され、比較信号として位相比較器6に輸入される。

#### 【0006】

また、クロック入力端子1に輸入されたクロックは、被比較信号として位相比

較器 6 に入力される。

#### 【0007】

位相比較器 6 では、上記遅延素子 5 の出力クロック（1 クロック分遅延されたクロック）と、上記被比較信号としてクロック入力端子 1 から入力されたクロックの 1 クロック後のクロックとを比較し、位相差を検出し制御器 7 に出力する。制御器 7 では、位相差出力に基づいて各遅延素子 2 ～ 5 の遅延値を制御する制御信号を出力する。この動作を位相比較器 6 で位相差が検出できなくなるまで繰り返すことにより、上記遅延素子 2 ～ 5 で遅延されたクロックと、上記クロック入力端子 1 から入力されたクロックの 1 クロック後のクロックとの位相差がなくなり、遅延素子 2 ～ 5 がほぼ同一の遅延値であれば、各遅延素子 2 ～ 5 の出力に  $1/4$  クロックずつ位相シフトしたクロックが発生され、遅延素子 2 からは  $1/4$  クロック分遅延されたクロックが出力され、遅延素子 3 からは  $2/4$  クロック分遅延されたクロックが出力され、遅延素子 4 からは  $3/4$  クロック分遅延されたクロックが出力され、遅延素子 5 からは 1 クロック分遅延されたクロックが出力される。

#### 【0008】

このような  $1/4$  クロックずつ位相シフトしたクロックは、基準信号入力端子 8 から入力された基準信号によって選択器 9 で選択され、基準信号に同期したクロックが同期クロックとして同期クロック出力端子 10 から出力される。

#### 【0009】

##### 【特許文献 1】

特開 2002-290218 号

#### 【0010】

##### 【発明が解決しようとする課題】

しかしながら、上記従来の映像信号処理装置では、基準信号に位相を合わせてクロック位相を切替えるため、切替え時にクロック幅が変化してクロック幅が規格範囲外になる場合や、クロック幅が狭いために演算誤差が発生し、表示画像が乱れたりする場合があった。

#### 【0011】

本発明は、上記問題点を解消するためになされたものであり、クロック幅が狭くなることを防ぎつつ、基準同期信号の位相に合わせて映像信号を出力することができる映像信号処理装置を提供することを目的とする。

### 【0012】

#### 【課題を解決するための手段】

上記課題を解決するために、本発明の請求項1に係る映像信号処理装置は、映像信号データを第1のクロックにより書き込み、該書き込まれた映像信号データを第2のクロックにより読み出すメモリと、上記第2のクロックを $1/N$ （ $N$ は2以上の整数）クロックずつ遅延させる $N$ 段の遅延素子と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、上記位相情報に基づいて補間係数を制御する補間係数制御手段と、上記メモリから上記第2のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えた、ことを特徴とするものである。

### 【0013】

また、本発明の請求項2に係る映像信号処理装置は、映像信号データを第1のクロックにより書き込み、該書き込まれた映像信号データを第2のクロックにより読み出すメモリと、上記第2のクロックを $1/N$ （ $N$ は2以上の整数）クロックずつ遅延させる $N$ 段の遅延素子と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックの位相と、上記第2のクロックの1クロック後の位相とを比較する位相比較手段と、上記位相比較手段によって検出された位相差を入力とし、上記 $N$ 段の遅延素子の遅延値を制御する制御手段と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、上記位相情報に基づいて補間係数を制御する補間係数制御手段と、上記メモリから上記第2のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えた、ことを特徴とするものである。



**【0014】**

また、本発明の請求項3に係る映像信号処理装置は、映像信号データを第1のクロックにより書き込み、該書き込まれた映像信号データを該第1のクロックにより読み出すメモリと、上記第1のクロックを $1/N$ （ $N$ は2以上の整数）クロックずつ遅延させる $N$ 段の遅延素子と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、上記位相情報に基づいて補間係数を制御する補間係数制御手段と、上記メモリから上記第1のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えた、ことを特徴とするものである。

**【0015】**

また、本発明の請求項4に係る映像信号処理装置は、映像信号データを第1のクロックにより書き込み、該書き込まれた映像信号データを該第1のクロックにより読み出すメモリと、上記第1のクロックを $1/N$ （ $N$ は2以上の整数）クロックずつ遅延させる $N$ 段の遅延素子と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックの位相と、上記第1のクロックの1クロック後の位相とを比較する位相比較手段と、上記位相比較手段によって検出された位相差を入力とし、上記 $N$ 段の遅延素子の遅延値を制御する制御手段と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、上記位相情報に基づいて補間係数を制御する補間係数制御手段と、上記メモリから上記第1のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えた、ことを特徴とするものである。

**【0016】****【発明の実施の形態】**

以下、本発明の実施の形態について図面を参照しながら説明する。なお、ここで説明する実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

## 【0017】

## (実施の形態1)

以下に、本発明の実施の形態1による映像信号処理装置について説明する。

図1は本実施の形態1にかかる映像信号処理装置の構成を示すブロック図である。

## 【0018】

図1において、100は映像信号入力端子であり、映像信号S100を入力する。101は第1のクロック入力端子であり、第1のクロックS101を入力する。102は第2のクロック入力端子であり、第2のクロックS102を入力する。103は基準信号入力端子であり、水平同期信号など画面表示のスタート位置を表す基準信号S103を入力する。104、105、106、107は遅延素子であり、入力クロックを1/4クロックずつ位相シフトさせる。108は選択器であり、各遅延素子104～107で遅延されたクロックのうち、基準信号S103に最も同期するクロックを選択し、該選択したクロックの位相情報S108を係数制御回路109に出力する。109は係数制御回路であり、位相情報S108に基づいてデータの補間係数S109を出力する。110は書き込みと読み出しが独立して可能なメモリであり、映像信号S100を第1のクロックS101の入力により書き込み、該書き込まれた映像信号S110を第2のクロックS102の入力により読み出す。111は補間回路であり、補間係数S109を用いて映像信号S110を補間する。112は位相比較器であり、第2のクロックS102の1クロック後のクロックと、遅延素子107の出力（1クロック分遅延されたクロック）との位相を比較する。113は制御回路であり、位相比較器112から出力される位相差出力S112に基づいて各遅延素子104～107の遅延値を制御する制御信号S113を出力する。114は映像信号出力端子であり、補間回路111で補間された映像信号S111を出力する。

## 【0019】

図2は補間回路111の構成を示す図であり、図1と同一または相当する構成要素については同じ符号を用いる。

## 【0020】

図2において、201は遅延回路であり、メモリ110から読み出された映像信号S110を第2のクロックS102の1周期分遅延させる。202は減算回路であり、映像信号S110から遅延回路出力信号S201を減算する。203は乗算回路であり、減算回路出力信号S202と補間係数S109とを乗算する。204は加算回路であり、遅延回路出力信号S201と乗算回路出力信号S203とを加算する。

#### 【0021】

以上のように構成された映像信号処理装置の動作について図1及び図3を用いて説明する。図3は本実施の形態1の映像信号処理装置における各信号のタイミング図であり、図1、及び図2の各信号名に対応している。

#### 【0022】

映像信号入力端子100に入力された映像信号データS100は、クロック入力端子101に入力された第1のクロックS101によりメモリ110に記憶される。

#### 【0023】

所望の周波数のクロック、例えば、本映像信号処理装置の後段の他の演算装置で用いるクロックと同一周波数を有するクロック（第2のクロック）S102をクロック入力端子102に入力する。入力された第2のクロックS102は、各遅延素子104～107で遅延され比較信号として位相比較器112に入力される。また、第2のクロックS102は、被比較信号として位相比較器112に入力される。

#### 【0024】

位相比較器112では、上記各遅延素子104～107からの比較信号と、上記被比較信号である第2のクロックS102の1クロック後のクロックとを比較することにより検出した位相差S112を制御回路113に出力し、制御回路113では、上記位相差S112に基づいて上記各遅延素子104～107の遅延値を制御する制御信号S113を出力する。この動作を位相比較器112で位相差が検出できなくなるまで繰り返すことにより、上記各遅延素子104～107で遅延されたクロックと上記第2のクロックS102の1クロック後のクロック

との位相差がなくなる。従って、上記各遅延素子 104～107 の遅延値がほぼ同一となるため、各遅延素子 104～107 からは  $1/4$  クロックずつ位相シフトしたクロックが出力される。つまり、遅延素子 104 からは  $1/4$  クロック遅延のクロック S104 が、遅延素子 105 からは  $2/4$  クロック遅延のクロック S105 が、遅延素子 106 からは  $3/4$  クロック遅延のクロック S106 が、遅延素子 107 からは 1 クロック遅延のクロック S107 が出力される。

#### 【0025】

このような  $1/4$  クロックずつ位相シフトしたクロックは、基準信号入力端子 103 から入力された基準信号 S103 によって選択器 108 で選択される。これにより、基準信号 S103 に位相が同期したクロックの位相情報 S108 を得ることができる。

#### 【0026】

そして、位相情報 S108 は、係数制御回路 109 により、補間係数 S109 に変換される。補間係数 S109 は、例えば、遅延素子 104 の出力 S104 が選択された場合は  $1/4$ 、遅延素子 105 の出力 S105 が選択された場合は  $2/4$ 、遅延素子 106 の出力 S106 が選択された場合は  $3/4$ 、遅延素子 107 の出力 S107 が選択された場合は 1 とする。

#### 【0027】

メモリ 110 に書き込まれた映像データは、第 2 のクロック S102 により映像信号データ S110 として読み出され、補間回路 111 に入力される。補間回路 111 では、第 2 のクロック S102 と補間係数 S109 を用いて映像信号データ S110 に対してデータ補間処理を行い、基準信号 S103 に位相が同期した映像信号 S111 を、映像信号出力端子 114 を介して外部へ出力する。

#### 【0028】

ここで、補間回路 111 による補間処理について図 2 及び図 3 を用いて説明する。

まず、メモリ 110 から読み出された映像信号データ S110 は、遅延回路 201 により遅延され、第 2 のクロック S102 の 1 周期分遅延された映像信号データ S201 として出力される。そして、減算回路 202 により映像信号データ

S110と映像信号データS201との差分値S202を取り、乗算回路203によりこの差分値S202と補間係数S109とを乗算する。加算回路204では、映像信号データS201に乗算回路203の出力値S203が加算され、出力映像信号データS111として出力される。この演算を式で表すと、

$$S111 = (S110 - S201) \times S109 + S201$$

となり、第2のクロックS102の1周期分の差のあるデータ間で位相差の係数S109に応じた補間を行うことができる。

#### 【0029】

基準信号S103に対してデータ補間を用いて位相合わせを行わず、入力された第2のクロックS102でメモリ110からデータを読み出した場合、図4のデータ出力波形図に示したように、第2のクロックS102の位相が基準信号S103からずれたり、図6(a)に示すような縦線が入力されていた場合、図6(b)に示すように、クロックS102のずれ分だけ画面ではずれて見えてしまい、ジッタしてしまう。しかし、基準信号S103に対してデータ補間を用いて位相合わせを行い、入力された第2のクロックS102でメモリ110からデータを読み出した場合、図5のデータ出力波形図に示したように、第2のクロックS102の位相ずれを解消し、また、図6(a)に示すような縦線が入力された場合にも、図6(c)に示すように、縦線をきれいに表示することができる。

#### 【0030】

このような実施の形態1による映像信号処理装置では、映像信号データS100を第1のクロックS101により書き込み、該書き込まれた映像信号データS110を第2のクロックS102により読み出すメモリ110と、上記第2のクロックS102を1/4クロックずつ遅延させる4段の遅延素子104～107と、上記各遅延素子104～107により1/4クロックずつ遅延されたクロックS104～S107の位相と上記第2のクロックS102の1クロック後の位相とを比較する位相比較器112と、上記位相比較器112により検出された位相差S112を入力とし、上記各遅延素子104～107の遅延値を制御する制御器113と、上記各遅延クロックS104～107のうち、外部から入力される基準信号S103に最も同期するクロックを選択し、該選択したクロックの位

相情報 S108 を出力する選択器 108 と、上記位相情報 S108 に基づいて補間係数 S109 を出力する係数制御回路 109 と、上記メモリ 110 から上記第 2 のクロック S102 により読み出された映像信号データ S110 に対し上記補間係数 S109 を用いて補間処理し出力する補間回路 111 とを備えたことより、基準信号 S103 に位相を合わせてクロックを切替える際にクロック幅が規格範囲外になることを防止し、また、クロック幅が狭くなることによる演算誤差を防止することができる。

### 【0031】

(実施の形態 2)

以下に、本発明の実施の形態 2 による映像信号処理装置について説明する。

本実施の形態 2 による映像信号処理装置は、他の演算装置で用いるクロックの周波数と同一周波数を有するクロックを用いて映像信号の補間処理を行うのではなく、メモリへの映像信号データの書き込み処理に使用するクロックを用いて映像信号の補間処理を行うようにしたものである。

### 【0032】

図 7 は本実施の形態 2 にかかる映像信号処理装置の構成を示すブロック図である。

図 7 において、100 は映像信号入力端子であり、映像信号 S100 を入力する。101 は第 1 のクロック入力端子であり、第 1 のクロック S101 を入力する。103 は基準信号入力端子であり、水平同期信号など画面表示のスタート位置を表す基準信号 S103 を入力する。104、105、106、107 は遅延素子であり、入力クロックを 1/4 クロックずつ位相シフトさせる。108 は選択器であり、各遅延素子 104 ~ 107 で遅延されたクロックのうち、基準信号 S103 に最も同期するクロックを選択し、該選択したクロックの位相情報 S108 を係数制御回路 109 に出力する。109 は係数制御回路であり、位相情報 S108 に基づいてデータの補間係数 S109 を出力する。110 は書き込みと読み出しが独立して可能なメモリであり、映像信号 S100 を第 1 のクロック S101 により書き込み、該書き込まれた映像信号 S110 を該第 1 のクロックにより読み出す。111 は補間回路であり、補間係数 S109 を用いて映像信号 S

110を補間する。112は位相比較器であり、第1のクロックS101の1クロック後のクロックと、遅延素子107の出力（1クロック分遅延されたクロック）との位相を比較する。113は制御回路であり、位相比較器112から出力される位相差出力S112に基づいて各遅延素子104～107の遅延値を制御する制御信号S113を出力する。114は映像信号出力端子であり、補間回路111で補間された映像信号S111を出力する。

#### 【0033】

以上のように構成された映像信号処理装置の動作について説明する。

映像信号入力端子100に入力された映像信号データS100は、クロック入力端子101に入力された第1のクロックS101によりメモリ110に記憶される。

#### 【0034】

入力された第1のクロックS101は、各遅延素子104～107で遅延され比較信号として位相比較器112に入力される。また、第1のクロックS101は、被比較信号として位相比較器112に入力される。

#### 【0035】

位相比較器112では、上記各遅延素子104～107からの比較信号と、上記被比較信号である第1のクロックS101の1クロック後のクロックとを比較することにより検出した位相差S112を制御回路113に出力し、制御回路113では、上記位相差S112に基づいて上記各遅延素子104～107の遅延値を制御する制御信号S113を出力する。この動作を位相比較器112で位相差が検出できなくなるまで繰り返すことにより、上記各遅延素子104～107で遅延されたクロックと上記第1のクロックS101の1クロック後のクロックとの位相差がなくなる。従って、上記各遅延素子104～107の遅延値がほぼ同一となるため、各遅延素子104～107からは1/4クロックずつ位相シフトしたクロックが出力される。つまり、遅延素子104からは1/4クロック遅延のクロックS104が、遅延素子105からは2/4クロック遅延のクロックS105が、遅延素子106からは3/4クロック遅延のクロックS106が、遅延素子107からは1クロック遅延のクロックS107が出力される。

## 【0036】

このような1/4クロックずつ位相シフトしたクロックは、基準信号入力端子103から入力された基準信号S103によって選択器108で選択される。これにより、基準信号S103に位相が同期したクロックの位相情報S108を得ることができる。

## 【0037】

そして、位相情報S108は、係数制御回路109により、補間係数S109に変換される。補間係数S109は、例えば、遅延素子104の出力S104が選択された場合は1/4、遅延素子105の出力S105が選択された場合は2/4、遅延素子106の出力S106が選択された場合は3/4、遅延素子107の出力S107が選択された場合は1とする。

## 【0038】

メモリ110に書き込まれた映像データは、第1のクロックS101により映像信号データS110として読み出され、補間回路111に入力される。補間回路111では、第1のクロックS101と補間係数S109を用いて映像信号データS110に対してデータ補間処理を行い、基準信号S103に位相が同期した映像信号S111を、映像信号出力端子114を介して外部へ出力する。

## 【0039】

このような実施の形態2による映像信号処理装置は、映像信号データS100を第1のクロックS101により書き込み、該書き込まれた映像信号データS110を該第1のクロックS101により読み出すメモリ110と、上記第1のクロックS101を1/4クロックずつ遅延させる4段の遅延素子104～107と、上記各遅延素子104～107により1/4クロックずつ遅延されたクロックS104～S107の位相と上記第1のクロックS101の1クロック後の位相とを比較する位相比較器112、上記位相比較器112により検出された位相差S112を入力とし、上記各遅延素子104～107の遅延値を制御する制御器108と、上記各遅延素子104～107により1/4クロックずつ遅延されたクロックS104～S107のうち、外部から入力される基準信号S103に最も同期するクロックを選択し、該選択したクロックの位相情報S108を出力



する選択器 108 と、上記位相情報 S108 に基づいて補間係数 S109 を出力する係数制御回路 109 と、上記メモリ 110 から上記第 1 のクロック S101 により読み出された映像信号データ S110 に対し上記補間係数 S109 を用いて補間処理し出力する補間回路 111 とを備えたことより、基準信号 S103 に位相を合わせてクロックを切替える際にクロック幅が規格範囲外になることを防止し、また、クロック幅が狭くなることによる演算誤差を防止することができる。

#### 【0040】

また、本実施の形態 2 による映像信号処理装置では、メモリ 110 への映像信号データ S100 の書き込み処理に使用するクロック S101 を用いて映像信号の補間処理を行うようにしたので、後段の信号処理で用いるクロックがメモリ 110 の書き込み処理に使用するクロックと同一周波数を有する場合や、後段のクロックの周波数に依存せず、アナログ信号として出力する場合に、本映像信号処理装置に入力するクロックは 1 つとなり、より簡単な構成で映像信号処理装置を実現可能である。

#### 【0041】

なお、上記実施の形態 1 及び実施の形態 2 では、4 つの遅延素子を用いて説明したが、4 つ以下、4 つ以上の場合でも実施可能であることは言うまでもない。また、係数制御回路 109 は、位相情報出力 S108 にフィルタ処理をかけて補間係数 S109 の値を安定させても構わない。

#### 【0042】

##### 【発明の効果】

以上のように、本発明の請求項 1 に記載の映像信号処理装置によれば、映像信号データを第 1 のクロックにより書き込み、該書き込まれた映像信号データを第 2 のクロックにより読み出すメモリと、上記第 2 のクロックを  $1/N$  ( $N$  は 2 以上の整数) クロックずつ遅延させる  $N$  段の遅延素子と、上記  $N$  段の遅延素子により  $1/N$  クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、上記位相情報に基づいて補間係数を制御する補間係数制御手段と、上

記メモリから上記第2のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えたことより、基準信号に位相を合わせてクロックを切換える際にクロック幅が規格範囲外になることを防止し、さらに、クロック幅が狭くなることによる演算誤差を防止することができる。

#### 【0043】

また、本発明の請求項2に記載の映像信号処理装置によれば、映像信号データを第1のクロックにより書き込み、該書き込まれた映像信号データを第2のクロックにより読み出すメモリと、上記第2のクロックを $1/N$ （ $N$ は2以上の整数）クロックずつ遅延させる $N$ 段の遅延素子と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックの位相と、上記第2のクロックの1クロック後の位相とを比較する位相比較手段と、上記位相比較手段によって検出された位相差を入力とし、上記 $N$ 段の遅延素子の遅延値を制御する制御手段と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、上記位相情報に基づいて補間係数を制御する補間係数制御手段と、上記メモリから上記第2のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えたことより、温度変化、基準信号の急激な変化等がある場合でも、各遅延素子から出力されるクロックの周波数を一定に保つことができ、また、基準信号に位相を合わせてクロックを切換える際にクロック幅が規格範囲外になることを防止し、さらに、クロック幅が狭くなることによる演算誤差を防止することができる。

#### 【0044】

また、本発明の請求項3に記載の映像信号処理装置によれば、映像信号データを第1のクロックにより書き込み、該書き込まれた映像信号データを該第1のクロックにより読み出すメモリと、上記第1のクロックを $1/N$ （ $N$ は2以上の整数）クロックずつ遅延させる $N$ 段の遅延素子と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段

と、上記位相情報に基づいて補間係数を制御する補間係数制御手段と、上記メモリから上記第1のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えたことより、基準信号に位相を合わせてクロックを切替える際にクロック幅が規格範囲外になることを防止し、さらに、クロック幅が狭くなることによる演算誤差を防止することができる。

#### 【0045】

また、本発明の請求項4に記載の映像信号処理装置によれば、映像信号データを第1のクロックにより書き込み、該書き込まれた映像信号データを該第1のクロックにより読み出すメモリと、上記第1のクロックを $1/N$ （ $N$ は2以上の整数）クロックずつ遅延させる $N$ 段の遅延素子と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックの位相と、上記第1のクロックの1クロック後の位相とを比較する位相比較手段と、上記位相比較手段によって検出された位相差を入力とし、上記 $N$ 段の遅延素子の遅延値を制御する制御手段と、上記 $N$ 段の遅延素子により $1/N$ クロックずつ遅延されたクロックのうち、外部から入力される基準信号に最も同期するクロックを選択し、該選択したクロックの位相情報を出力する選択手段と、上記位相情報に基づいて補間係数を制御する補間係数制御手段と、上記メモリから上記第1のクロックにより読み出された映像信号データに対し上記補間係数を用いて補間処理し出力する補間手段とを備えたことより、温度変化、基準信号の急激な変化等がある場合でも、各遅延素子から出力されるクロックの周波数を一定に保つことができ、また、基準信号に位相を合わせてクロックを切替える際にクロック幅が規格範囲外になることを防止し、さらに、クロック幅が狭くなることによる演算誤差を防止することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の実施の形態1にかかる映像信号処理装置の構成を示すブロック図である。

##### 【図2】

本発明の実施の形態1にかかる映像信号処理装置における補間回路図の構成を示すブロック図である。

**【図 3】**

本発明の実施の形態 1 にかかる映像信号処理装置の動作を説明するタイミング図である。

**【図 4】**

基準信号に対してデータ補間を行わずにメモリからデータを読み出した場合のタイミングチャート図である。

**【図 5】**

基準信号に対してデータ補間を行ってメモリからデータを読み出した場合のタイミングチャート図である。

**【図 6】**

モニタ画面に表示された映像の様子を示す図である。

**【図 7】**

本発明の実施の形態 2 にかかる映像信号処理装置の構成を示すブロック図である。

**【図 8】**

従来の映像信号処理装置の構成を示すブロック図である。

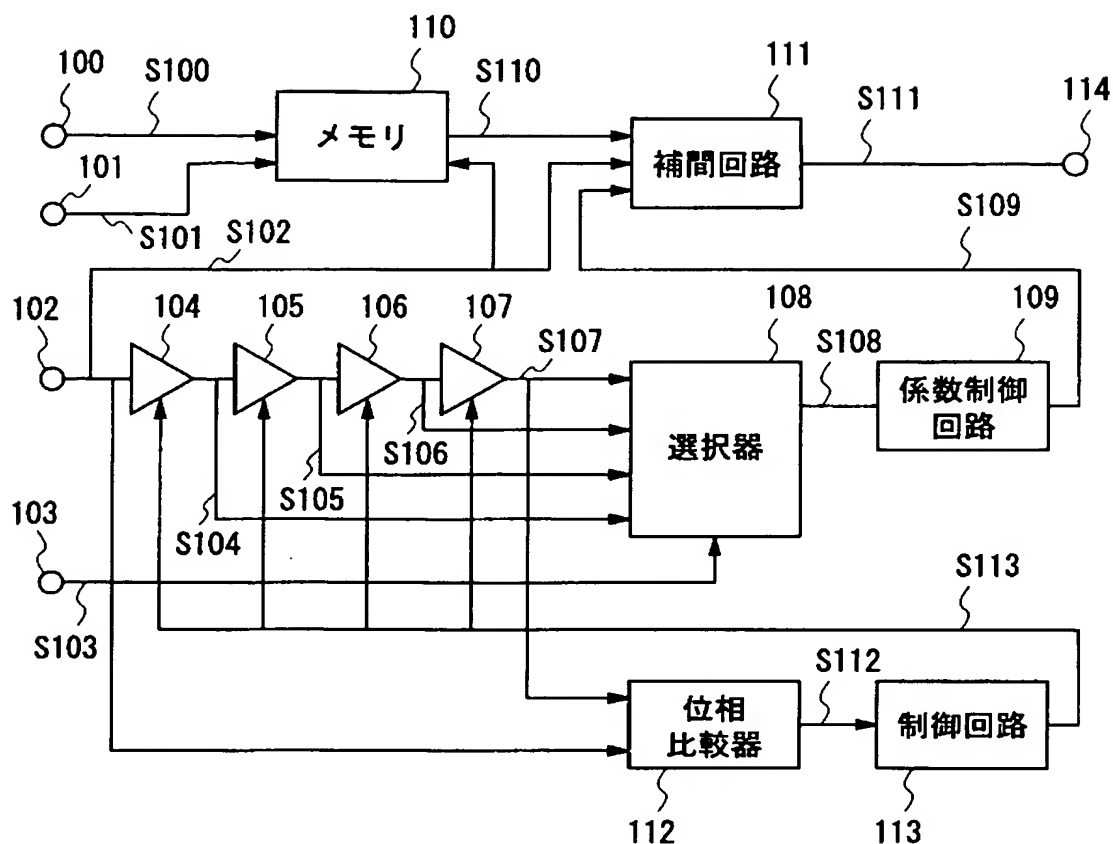
**【符号の説明】**

- 100 映像信号入力端子
- 101 第 1 のクロック入力端子
- 102 第 2 のクロック入力端子
- 103 基準信号入力端子
- 104 遅延素子
- 105 遅延素子
- 106 遅延素子
- 107 遅延素子
- 108 選択器
- 109 係数制御回路
- 110 メモリ
- 111 補間回路

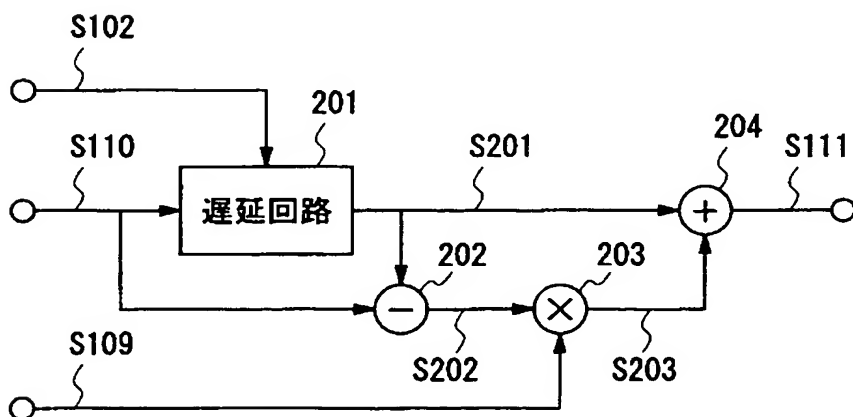
- 1 1 2 位相比較器
- 1 1 3 制御回路
- 1 1 4 映像処理信号出力端子
- 2 0 1 遅延回路
- 2 0 2 減算回路
- 2 0 3 乗算回路
- 2 0 4 加算回路
- 1 クロック入力端子
- 2 遅延素子
- 3 遅延素子
- 4 遅延素子
- 5 遅延素子
- 6 位相比較器
- 7 制御回路
- 8 基準信号入力端子
- 9 選択器
- 1 0 同期クロック出力端子

【書類名】 図面

【図 1】

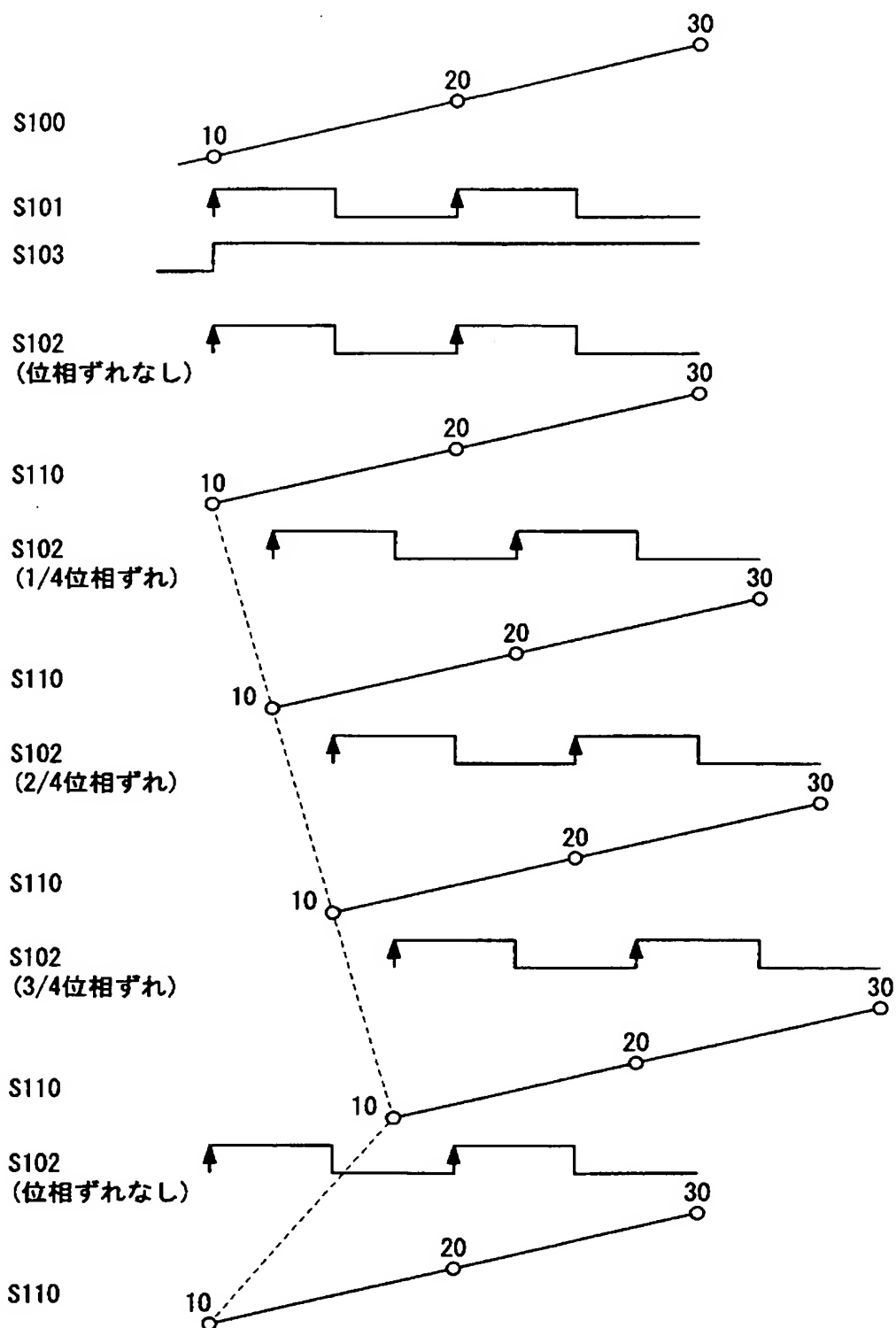


【図 2】



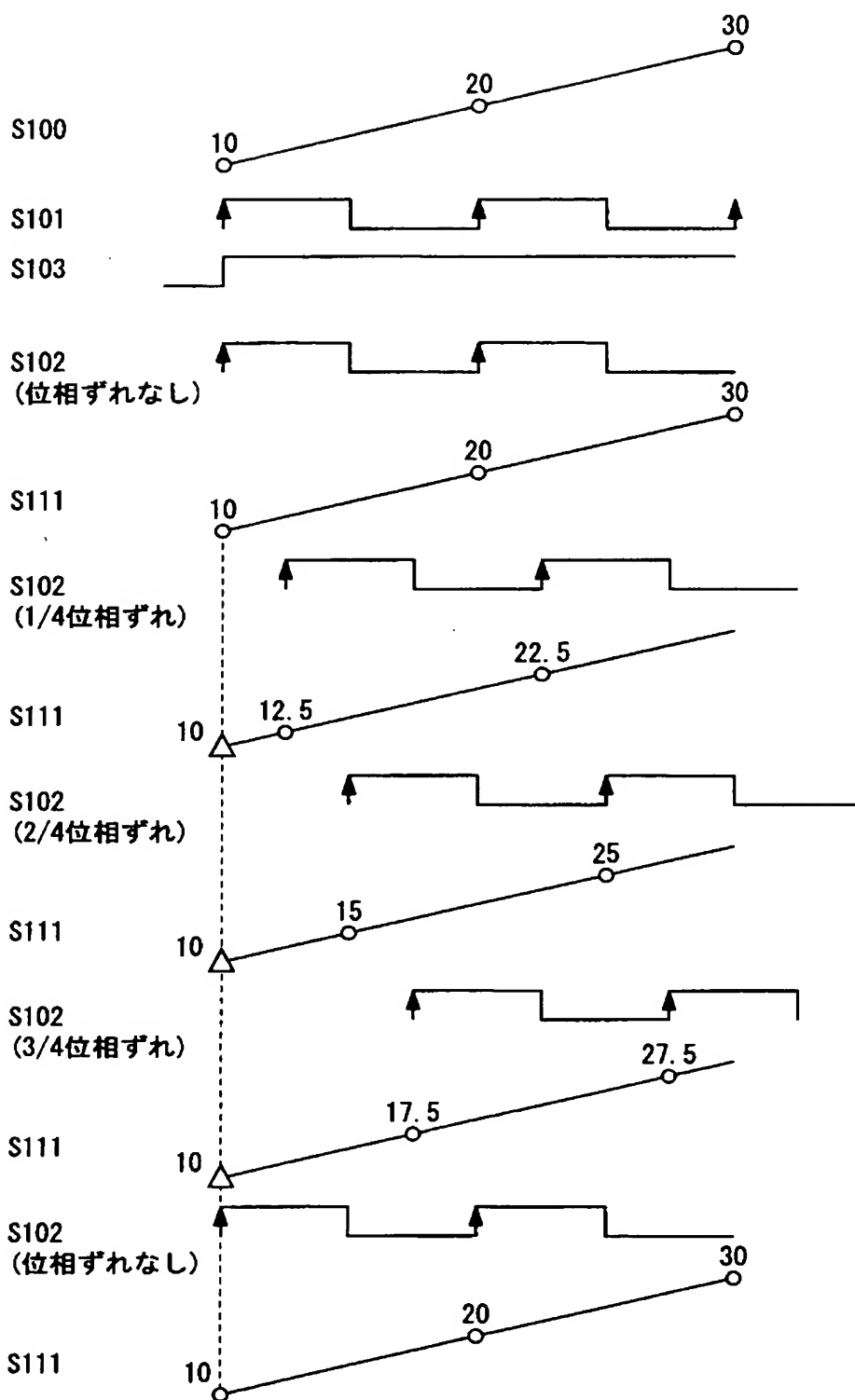


【図 4】



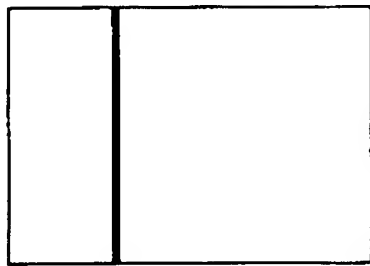


【図 5】



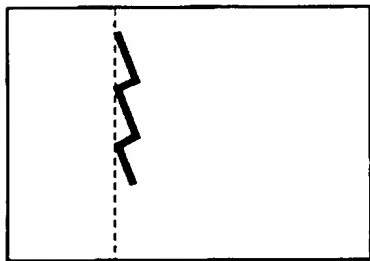
【図 6】

(a) テレビ画面で見た場合（縦線入力）



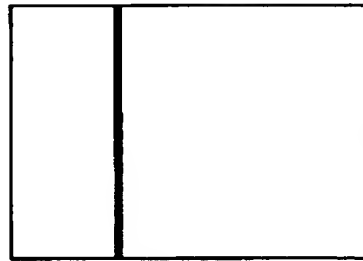
補間なし

(b)

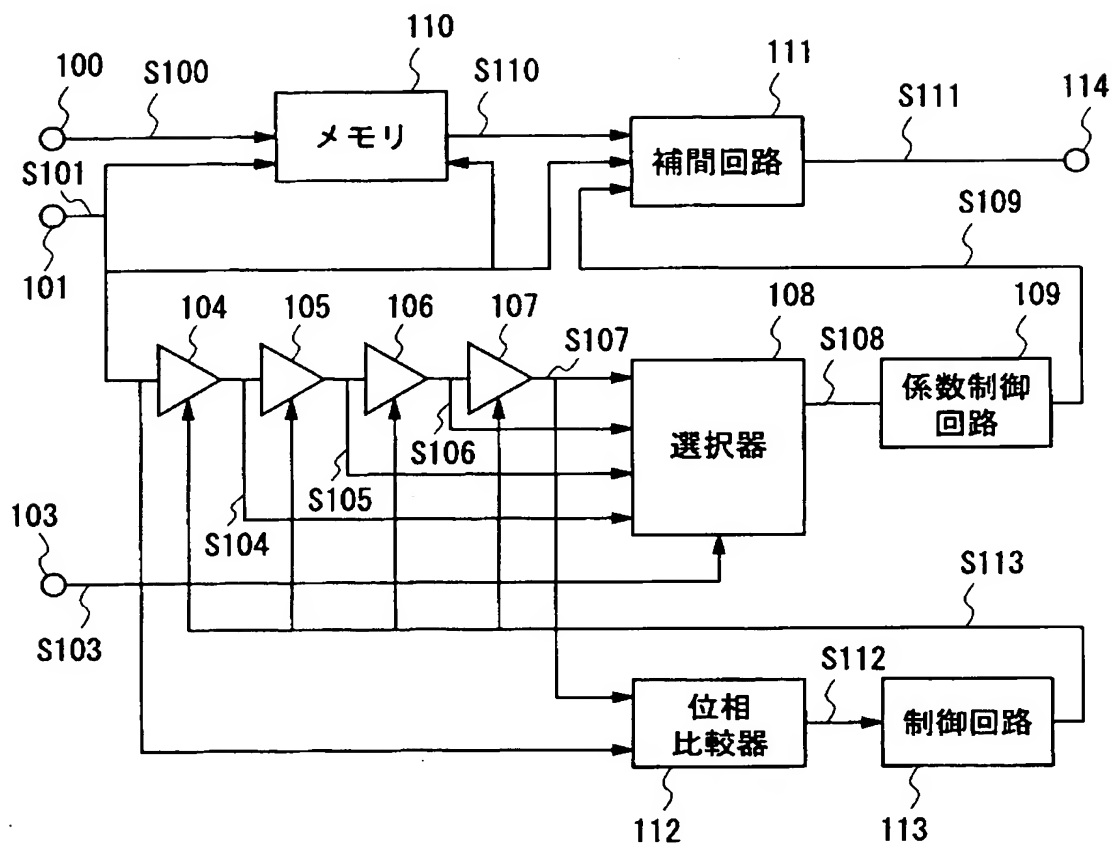


補間あり

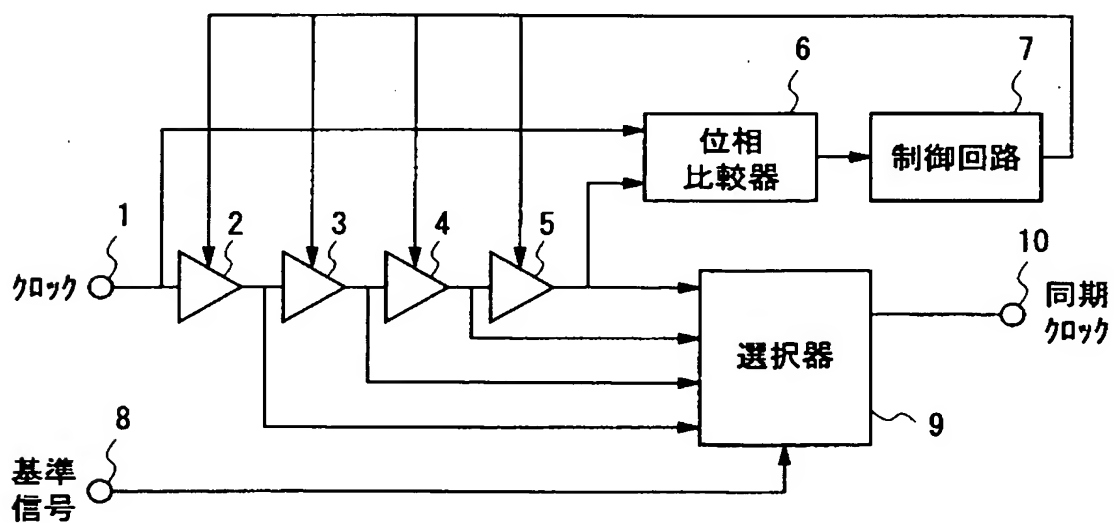
(c)



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 クロック幅が狭くなることを防ぎ、かつ、基準信号の位相にあわせて映像信号を出力可能な映像信号処理装置を提供する。

【解決手段】 第1のクロック S101 で処理された映像信号データ S100 を第2のクロック S102 で処理する際、第2のクロック S102 として、基準信号 S103 に位相が同期したクロックを用いるのではなく、後段の信号処理装置で用いるクロックを使用し、基準信号 S103 に位相が同期するように補間回路 111 で映像信号データ S100 を補間処理するようにした。

【選択図】 図1

特願 2 0 0 3 - 0 1 7 8 1 2

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社